

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-4227

(43)公開日 平成10年(1998)1月6日

(51)Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 43/08			H 0 1 L 43/08	Z
G 0 1 R 33/06			G 0 1 R 33/06	Z

審査請求 未請求 請求項の数9 O.L (全 12 頁)

(21)出願番号	特願平9-58777	(71)出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州アーモンク（番地なし）
(22)出願日	平成9年(1997)3月13日	(72)発明者	ウィリアム・ジョゼフ・ギャラガー アメリカ合衆国10502、ニューヨーク州アルドスレイ、アッシュフォード・アベニュー 577
(31)優先権主張番号	08/618300	(74)代理人	弁理士 合田 潔（外2名）
(32)優先日	1996年3月18日		
(33)優先権主張国	米国（US）		

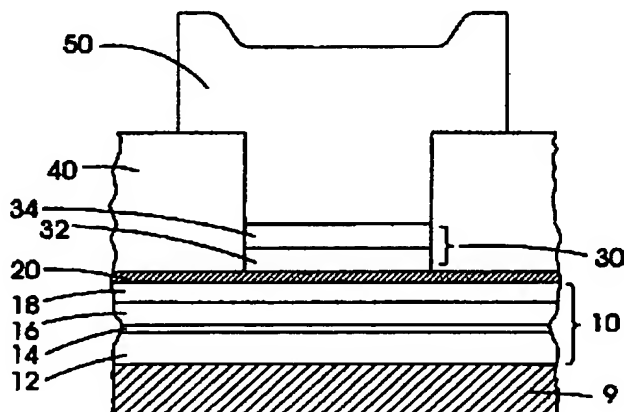
最終頁に続く

(54) 【発明の名称】 磁気応答が制御可能な磁気トンネル接合

(57) 【要約】

【課題】 磁場センサまたは磁気ランダム・アクセス・メモリ・アレイ内のメモリ・セルとして使用可能な磁気トンネル接合素子を提供すること。

【解決手段】 MTJ素子が拘束強磁性層18を含み、その磁化方向が層の平面内で配向されるが、対象範囲内の印加磁場の存在の下では回転できないように固定される。“フリー”の強磁性層は、その磁化方向が拘束強磁性層18の固定磁化方向に対して層の平面内で回転可能であり、絶縁トンネル障壁層20が両方の強磁性層間にそれらと接触して配置される。拘束強磁性層18は、隣接する反強磁性層16との界面交換結合により拘束される。



## 【特許請求の範囲】

## 【請求項 1】基板と、

前記基板上に形成される平坦な拘束強磁性層と、前記拘束強磁性層に隣接してそれと接触し、前記拘束強磁性層の磁化方向を好適な方向に拘束し、印加磁場の存在の下で、前記磁化方向の回転を阻止する反強磁性層とを有する第 1 の電極と、

印加磁場の存在の下で、磁化方向を自由に回転することができる平坦なフリー強磁性層を有する第 2 の電極と、前記拘束強磁性層と前記フリー強磁性層との間に配置され、前記拘束強磁性層及び前記フリー強磁性層に垂直な方向のトンネル電流を許可する絶縁トンネル層であって、前記拘束強磁性層または前記フリー強磁性層が、前記絶縁トンネル層の側部周囲を越えて延びることのない側部周囲を有し、前記拘束強磁性層及び前記フリー強磁性層が前記絶縁トンネル層とオーバーラップすること無く、間隔をあけた別の平面内に保持される、前記絶縁トンネル層と、

を含む、磁気トンネル接合素子。

【請求項 2】前記拘束強磁性層及び前記フリー強磁性層の容易軸の磁化方向が、印加磁場の存在の下で互いに平行または逆平行である、請求項 1 記載の磁気トンネル接合素子。

【請求項 3】前記拘束強磁性層及び前記フリー強磁性層の前記側部周囲が矩形形状であり、前記拘束強磁性層及び前記フリー強磁性層の前記磁化容易軸が前記矩形の長手に沿って配列される、請求項 1 記載の磁気トンネル接合素子。

【請求項 4】前記フリー強磁性層の前記容易軸磁化方向が、前記拘束層の磁化方向と垂直である、請求項 1 記載の磁気トンネル接合素子。

【請求項 5】前記拘束強磁性層が前記基板と前記フリー強磁性層との間に配置され、更に、前記フリー強磁性層の前記側部周囲を取り囲む絶縁層と、前記絶縁層上に形成され、前記絶縁層を通じて前記フリー強磁性層と接触する部分を含む非磁気導体層とを含む、請求項 1 記載の磁気トンネル接合素子。

【請求項 6】前記拘束強磁性層と接触し、界面交換結合により前記フリー強磁性層の磁化方向を拘束する反強磁性層を含む、請求項 1 記載の磁気トンネル接合素子。

【請求項 7】前記第 1 の電極が前記基板上に形成され、前記反強磁性層と接触するテンプレート強磁性層を含み、前記反強磁性層が前記テンプレートと前記拘束強磁性層との間に配置される、請求項 6 記載の磁気トンネル接合素子。

【請求項 8】2 つの磁気状態を有し、不揮発性磁気メモリ・セル・アレイにおいて使用可能な磁気トンネル接合メモリであって、前記アレイが前記アレイ内の個々のメモリ・セルの前記磁気状態を検出するセンス回路に接続されるものにおいて、

磁化方向をその平面内に有する拘束強磁性層と、

前記拘束強磁性層と接触する反強磁性層であって、前記拘束層の磁化方向を好適な方向に拘束し、所定磁場強度以下の磁場に露呈されるとき、前記磁化方向の回転を阻止する、前記反強磁性層と、

前記拘束強磁性層と接触する絶縁トンネル障壁層と、

前記トンネル障壁層と接触するフリー強磁性層であって、前記所定磁場強度以下の磁場に露呈されるとき、前記フリー強磁性層の前記平面内で、前記拘束強磁性層の

10 前記磁化方向に平行な方向と逆平行な方向との間で、自由に回転可能な磁化方向を有する、前記フリー強磁性層と、

を含み、前記拘束強磁性層、前記トンネル障壁層及び前記フリー強磁性層が、前記強磁性層の前記平面に垂直な方向の垂直スタックとして形成され、前記強磁性層が前記センス回路に接続されるとき、前記トンネル障壁層を前記強磁性層と垂直な方向に流れる電流の電気抵抗が前記フリー強磁性層の前記平行または逆平行の磁化方向により決定され、前記電気抵抗の値が前記メモリ・セルの磁気状態を決定する、磁気トンネル接合メモリ・セル。

【請求項 9】前記垂直スタックが矩形形状のベースを有し、前記拘束強磁性層の前記磁化方向が前記矩形形状のベースの長手に平行である、請求項 8 記載の磁気トンネル接合メモリ・セル。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、メモリ及びセンシング・アプリケーションのための磁気トンネル接合 (MTJ) 素子に関し、特に、MTJ の各々の電極の磁場応答が制御される MTJ 素子に関する。

## 【0002】

【従来の技術】磁気トンネル接合は、薄い絶縁層により分離される 2 つの強磁性電極から成り、スピン分極電子トンネリングの現象にもとづく素子である。強磁性電極の一方は他方よりも高い保磁性を有する。絶縁層は十分に薄く、強磁性電極間で量子力学的トンネリングが発生する。トンネリング現象は電子スピンの依存し、接合の磁気応答を 2 つの電極の相対配向及びスピン分極の関数にする。図 1 は従来の MTJ 素子を示し、Co 層及び Co-Fe 層がアルミナ ( $\text{Al}_2\text{O}_3$ ) 絶縁トンネル層により分離される。図 2 は、印加磁場 (磁界) に対する接合抵抗の依存性の典型的な結果を示す。磁気抵抗 ( $\Delta R/R$ ) 応答はヒステリシスを有し、最大抵抗のピークが磁場が一方の実質値 (例えば 10-200 Oe) から反対方向の実質値にスイープするとき発生する。磁気抵抗曲線上の矢印により示されるように、スイープの中央付近では、2 つの電極の磁化ベクトルが実質的に反対方向を指し示すとき、抵抗が最大となる。

【0003】強磁性体間のトンネリングを含む MTJ 素子のアプリケーションの可能性は、長い間認識されてき

## 3

たが、実際の構造及び非低温において予測される大きさの応答を達成する困難により、真剣な関心が向けられてこなかった。

【0004】後述の本発明に先立ち、実際のマイクロ電子デバイス構造に関して、室温において実用的に大きな磁気抵抗応答（例えば10%台）を有するMTJ素子の実例はこれまでに存在しなかった。強磁性体間のトンネリングの実験結果が、R. Meservyらによる“Spin-polarized Electron Tunneling”（Physics Reports, Vol. 238, pp. 214-217）で示されており、室温では高々1%乃至2%台の非常に小さな応答を示すに過ぎない。合理的な大きさの応答は走査トンネル顕微鏡による2つの実験から示されただけである。これらの1つは、100%のスピントランスポート率C<sub>r</sub>O<sub>2</sub>先端を採用し、室温において40%の分極電流変調を示した。これについては、R. Wiesendangerらによる“Observation of Vacuum Tunneling of Spin-polarized Electrons with the Scanning Tunneling Microscope”（Physics Review Letters, Vol. 65, page 247（1990年））で述べられている。

【0005】18%の磁気抵抗応答を有する非常に大きなMTJ素子が、T. Miyazakiらによる“Giant Magnetic Tunneling Effect in Fe/Al<sub>2</sub>O<sub>3</sub>/Fe Junction”（Journal of Magnetism and Magnetic Materials, Vol. 139, No. L231（1995年））で報告されている。しかしながら、著者は18%の磁気抵抗結果を再現することができなかったと報告している。同一時期に製作された他の接合は、1%乃至6%の応答を有するに過ぎない。

【0006】その他には、大きなCo-Fe/Al<sub>2</sub>O<sub>3</sub>/Co接合内で、室温において最大18%の磁気抵抗を有するMTJ素子が、J. S. Mooderaらによる“Large Magnetoresistance at Room Temperature in Ferromagnetic Thin Film Tunnel Junctions”（Physics Review Letters, Vol. 74, page 3273（1995年））で報告されている。しかしながら、これらの素子は低温冷却される基板上への蒸着を含む複雑な方法で形成されている。接合抵抗は200×300μm<sup>2</sup>の大きな断面積を有する接合では、数百Ωから数10kΩの範囲である。

【0007】以上から、室温において実用的に十分に大きな磁気抵抗応答を有するMTJ素子を形成することが困難であったことが明らかである。室温での期待される大きさの磁気抵抗応答の最初の観測はスピントランスポート率走査トンネル顕微鏡で発生した。実質的には従来技術においても、室温において期待される大きさのMTJ応答が得られたが、これは異風で非現実的な薄膜付着技術を用いて形成される大きな素子に限られた。現実的なマイクロ電子デバイス構造において、大きな磁気抵抗応答を達成する方法はまだ例証されていない。

【0008】従来のMTJ素子に関する別の問題は、磁気抵抗応答と磁場との関係が図2に示されるように、特徴的な2つのこぶ状の応答を有することである。ステッ

## 4

プ状の磁気抵抗応答は、制限された印加磁場範囲において例証されている。これに関しては、T. Miyazakiらによる“Large Magnetoresistance Effect in 82Ni-Fe/Al-Al<sub>2</sub>O<sub>3</sub>/Co Magnetic Tunneling Junction”（Journal of Magnetism and Magnetic Materials, Vol. 98, No. L7（1991年））で述べられている。しかしながら、印加磁場の変位（excursion）が一時的に余りにも大きいと、磁気抵抗応答特性が図3乃至図4に示されるように反転し得る。

## 【0009】

【発明が解決しようとする課題】磁気信号に対して不確かでなく制御可能な磁気抵抗応答を有し、大量生産が可能で、サイズをサブミクロン寸法に短小化可能なMTJ素子が必要とされる。

## 【0010】

【課題を解決するための手段】本発明は、強磁性層の1つがその磁化方向を固定または拘束（pinned）される磁気トンネル接合（MTJ）素子である。MTJ素子が拘束強磁性層を含み、その磁化方向が層の平面内で配向されるが、対象範囲内の印加磁場の存在の下では回転できないように固定される。“フリー”の強磁性層（以下、フリー強磁性層）は、その磁化方向が拘束強磁性層の固定磁化方向に対して層の平面内で回転可能であり、絶縁トンネル障壁層が両方の強磁性層間にそれらと接触して配置される。拘束強磁性層は、隣接する反強磁性層との界面交換結合により拘束される。MTJ素子の磁場センシング・アプリケーションでは、フリー強磁性層の磁化方向が、一般に拘束強磁性層の磁化方向に対して垂直に配向され、センスされる外部磁場強度の関数として、ある範囲を回転することができる。MTJ素子のメモリ・セル・アプリケーションでは、フリー強磁性層の磁化方向が拘束強磁性層の磁化方向と平行または逆平行に配向される。MTJメモリ・セルは書き込み可能であり、すなわちその磁気状態が、MTJトンネル障壁層を垂直方向に通過しないで、MTJ電極を水平方向に通過する書き込み電流に関連付けられる磁場により変更される。これらの磁場はフリー強磁性層の磁化方向を平行から逆平行に

（またはその逆に）回転させる。トンネル障壁層を通じて垂直方向に流れるトンネリング電流は、2つの強磁性層の相対磁化方向に依存するので、MTJメモリ・セルの磁気状態はMTJに渡る電気抵抗の変化を検出することにより、センスされ得る。MTJの上部電極は絶縁材料により取り囲まれ、絶縁材料内の穴を通じる電気リードと接触される。このことは、それぞれの強磁性層を含む上下の電極が、トンネル障壁層の領域内でオーバーラップしない2つの間隔をあけた別の平面内で形成されることを可能にし、それにより、あらゆる関係の無い磁極を排除する。MTJ素子が低磁場において不確かでない磁場応答を有し、大量生産にとって好都合な周囲温度において、従来の膜成長技術を用いることによりサブミクロ

ン寸法で形成され得る。

# 【0011】

【発明の実施の形態】図5乃至図8は、磁気メモリ・セル・アプリケーションに好適なMTJ構造の3つの実施例を示す。第1の実施例は、図5にその断面図が図6に上面図が示されるように、基板9、ベース電極多層スタック10、絶縁トンネル障壁層20、上部電極スタック30、コンタクト・ホールが貫通する絶縁層40及びそれ自身多層構造であり得る接点（コンタクト）及び上部配線層50を含む。トンネル障壁層20は2つの強磁性層スタック10及び30間にサンドイッチ状に挟まれる。

【0012】基板9上に形成されるベース電極層スタック10は、基板9上に付着される第1のシード層12、シード層12上の“テンプレート”強磁性層14、テンプレート層14上の反強磁性材料層16、及び下層の反強磁性層16上に形成されこれと交換結合される“拘束される（pinned）”強磁性層（以下、拘束強磁性層）18を含む。強磁性層18はMTJ素子の所望の対象範囲内における印加磁場の存在の下で、その磁化方向の回転を阻害されるために拘束層と呼ばれる。上部電極スタック30は“フリー”強磁性層32、及びその上に形成される保護層34を含む。強磁性層32は交換結合により拘束されず、従って対象範囲内の印加磁場の存在の下で自由に回転することができる。電極スタック10及び30内の強磁性層18及び32の両者はそれぞれ、それらの磁化容易軸が互いに平行になるように下方の配線層の長手方向に平行に同一方向に形成される。この配線層は、ベース電極10の延長部分11、13（図6参照）として形成される。この方向が図6において、矢印33により示される。絶縁層40は上部接合電極スタック30の最上部に至る自己整合型コンタクト・ホールを有する。トンネル障壁層20の直下のスタック10内の拘束強磁性層18は、その磁化方向を直下の反強磁性層16との界面交換結合により拘束される。反強磁性層16もまたベース電極スタック10の一部を形成する。メモリ・セルの読出し及び書き込み操作の間にメモリ・セルに印加される磁場に匹敵する大きさの磁場に対して、拘束強磁性層18の磁化方向には1つの可能な配向だけが存在する。上部電極スタック30内のフリー強磁性層32は、その磁化特性において異方性であるが、その磁化方向またはベクトルは拘束されない。むしろ、その磁化ベクトルは所望範囲内での磁場の印加により、容易軸のいずれかの方向に沿って安定的に配向される。

【0013】図7は、絶縁層が平坦化された絶縁層60であり、上部接合電極スタック30に至る自己整合型コンタクト・ホールを有する以外は、図5及び図6の構造と類似の構造の断面図である。絶縁層が上部接合電極30に至る自己整合型コンタクト・ホールを有さない、このMTJ素子のバージョンも可能であるが、その製作に

において余分な公差が許容されなければならないので余り望ましくない。

【0014】図8は、ベース電極スタック10'、絶縁トンネル障壁20'、及び上部電極スタック30'が全て同一の断面積を有する以外は、図5及び図7のセルと類似のセルの断面図を示す。ベース電極スタック10'が配線リード11'上に形成され、配線リード11'が基板9'上に形成される。絶縁層40'がMTJ素子全体を取り囲み、配線リード11'まで下方に延びる。この構造はメモリ・セルがダイオードやトランジスタなどの個々の磁気セルを通過するセンス電流を操作する電子素子上で、容易に形成されるようにする。

【0015】図5乃至図6に示される構造を有するMTJ素子の代表的な材料セットについて、次に述べることにする。MTJベース電極スタック10は、20nmのPt、4nmのNi<sub>81</sub>Fe<sub>19</sub>、10nmのMn<sub>50</sub>Fe<sub>50</sub>、及び8nmのNi<sub>81</sub>Fe<sub>19</sub>（それぞれ、層12、14、16、18に対応）のスタックを含み、これらが基板9として機能する真性シリコン・ウエハ上に成長される。スタック10は基板ウエハの表面に平行に印加される磁場の存在の下で成長される。磁場は最初の4nmのNi-Fe層14の容易軸を配向する役目をし、層14はMn<sub>50</sub>Fe<sub>50</sub>反強磁性層16を配向するテンプレートとして機能する。層16は交換結合により、8nmのNi-Feフリー強磁性層18の磁化方向を拘束する。次にトンネル障壁層20が、1nm乃至2nmのAl層を付着し、続いてプラズマ酸化させることにより形成される。その結果、Al<sub>2</sub>O<sub>3</sub>絶縁トンネル障壁層20が生成される。MTJ上部電極スタック30は8nmのCo及び20nmのPt（それぞれ層32、34に対応）のスタックであり、数 $\mu\text{m}^2$ またはそれ以下の断面積を有する。下部電極スタック10内の層が滑らかであり、Al<sub>2</sub>O<sub>3</sub>層20内に接合を電氣的に短絡させるピンホールが無いことが重要である。例えば金属多層スタック内に優れた巨大磁気抵抗効果を生成することが知られているスパッタリング技術により、成長を提供することが好適である。上部電極スタック30は160nmのSiO<sub>2</sub>絶縁層40により取り囲まれ、絶縁層40は下方の接合部に自己整合されるスルーホールを有する。接合は上部配線リード（図6参照）として機能する20nmのAg/300nmのAuコンタクト層50と接触する。このMTJ素子では、全ての強磁性層がそれらの容易軸を同一方向に整列される。強磁性層内のパターンは、（図6の矢印33により示されるように）磁化容易軸の方向に沿う長手寸法に整列され、それにより形状異方性が各強磁性層の真性異方性を増すことになる。このMTJ構造は、接合スタック内の全ての層（層12、14、16、18、20、32、34）を、周囲温度においてシリコン基板上にスパッタリングし、次に接合を2工程によりイオン・ミリングすることにより、下部配線レベル及び

上部接合電極レベルを規定し、次に上部接合電極スタックとの接触を可能にする自己整合型スルーホールを有する絶縁層40を付着及びパターンニングし、最後にリフトオフ・ステンシルを通じてコンタクト層50を付着することにより形成される。図5及び図7に示されるタイプのセルを用いる高密度メモリ・アプリケーションでは、その磁化方向により情報ビットを記憶するフリー強磁性層32が、使用されるリソグラフィック・プロセスに整合するようにできる限り小さいことが重要である。このことが図5及び図7において、下部接合電極スタック10がより大きな面積であり、拘束強磁性層18を含む理由である。図8に示されるセルではフリー強磁性層32'及び拘束強磁性層18'が、同一のサイズ及び形状であり、拘束強磁性層18'が下部または上部電極スタックのいずれかに配置され得る。拘束強磁性層が下部電極内に含まれる場合、上部電極はより単純となり、1つの強磁性層だけを含む。このMTJ素子は、例えば8nmのNi-Fe/10nm乃至15nmのMn<sub>50</sub>Fe<sub>50</sub>の構造の上部電極スタックを有する。

【0016】MTJ素子のメモリ・セル・アプリケーションでは、MTJへの書き込みが上部及び下部電極配線層11、13（図5乃至図6参照）を通じて、電流を流すことにより達成される。これらの両方のラインを通じて十分に大きな電流が流れるとき、フリー強磁性層32近辺で生成される結合磁場がフリー強磁性層32の磁化方向を拘束強磁性層18の磁化方向と平行から逆平行に（またはその逆に）回転させる。生成される結合磁場がフリー強磁性層のスイッチング場を越えるように、電流レベルが選択される。これはもっぱら、フリー強磁性層の磁気異方性により決定される。結合書き込み電流により生成されるこの磁場は、拘束強磁性層の磁化方向を回転させるために要求される磁場よりも、はるかに小さく選択される。書き込み電流はMTJ素子を通じて垂直方向には流れない。なぜならこの方向は配線層50及び11、13の抵抗に比較して、高抵抗を有するからである。

【0017】MTJメモリ・セルはセンス電流をMTJを通じて垂直方向に、拘束強磁性層からトンネル接合障壁を通じて、フリー強磁性層に（またはその逆に）流すことにより読出される。Al<sub>2</sub>O<sub>3</sub>トンネル障壁の抵抗は、Al<sub>2</sub>O<sub>3</sub>層の厚さに強く依存し、この層の厚さに対してほぼ指数的に変化するもので、このことはすなわち電流が主として、Al<sub>2</sub>O<sub>3</sub>トンネル障壁を通じて垂直方向に通過することを意味する。電荷キャリアが障壁を横切り通り抜ける確率（トンネリング確率）は、Al<sub>2</sub>O<sub>3</sub>の厚さが増すほど著しく低下し、従って、接合を通り抜けるキャリアは接合層に垂直に横断するキャリアだけである。メモリ・セルの状態は、センス電流（これは書き込み電流よりもはるかに小さい）がMTJを垂直方向に流れるときに、メモリ・セルの抵抗を測定することにより決定される。このセンス電流または書き込み電流の自己場は

無視することができ、メモリ・セルの磁気状態に影響を及ぼさない。トンネル障壁を電荷キャリアが通り抜ける確率は、フリー及び拘束強磁性層の磁気モーメントの相対アライメントに依存する。トンネル電流がスピン分極され、このことは強磁性層の一方（例えば拘束強磁性層）から流れる電流が、もっぱら1スピン・タイプ（強磁性層の磁化方向に依存してスピン・アップまたはスピン・ダウン）の電子から成ることを意味する。電流のスピン分極の度合いは、強磁性層とトンネル障壁との界面において強磁性層を構成する磁性材料の電子帯構造により決定される。それ故、第1の強磁性層のトンネル障壁はスピン・フィルタとして機能する。電荷キャリアのトンネリング確率は第2の強磁性層内の電流のスピン分極と同じスピン分極の電子状態の可用性に依存する。通常、第2の強磁性層の磁気モーメントが、第1の強磁性層の磁気モーメントと平行な場合、第2の強磁性層の磁気モーメントが第1の強磁性層のそれと逆平行な場合よりも、より多くの使用可能な電子状態が存在する。従って、電荷キャリアのトンネリング確率は、両方の層の磁気モーメントが平行な時に最も高くなり、磁気モーメントが逆平行の時に最も低くなる。磁気モーメントが平行でも逆平行でもなく配列されると、トンネリング確率は中間の値を取る。従って、MTJメモリ・セルの電気抵抗は、電流のスピン分極と両強磁性層内の電子状態の両方に依存する。その結果、フリー強磁性層の2つの可能な磁化方向が、一意的にメモリ・セルの2つの可能なビット状態（0または1）を定義する。

【0018】図9乃至図11は、図5乃至図6のMTJ素子に関して上述したように形成される代表的なMTJ素子からの、磁気応答特性及び磁気抵抗応答特性を示す。図9は、MTJ素子の低磁場（+/-600e）磁気抵抗特性を示す。ゼロ磁場では、MTJ素子の2つの安定な抵抗値が存在する。200e乃至350eより大きな絶対値の負方向の磁場を印加した後、ゼロ磁場における素子抵抗は約1950Ωである。約600eより大きな絶対値の正方向の磁場を印加した後、ゼロ磁場における素子抵抗は約2150Ωである。これらの2つの抵抗状態は上部接合電極30内の8nmのCo層32/20nmのPtフリー強磁性層32の磁化方向の反転から生じる。この電極は、容易軸方向に8μmの長さ、困難軸方向に2μmの幅を有する。この低磁場範囲内の全ての印加磁場に対して、下部電極スタック10内の8nmのNi<sub>81</sub>Fe<sub>19</sub>拘束強磁性層18の磁化方向は、Mn<sub>50</sub>Fe<sub>50</sub>反強磁性層16からの交換結合による拘束により不変であった。ゼロ磁場付近の抵抗値は素子が最近、上記最小値の正または負のどちらの磁場に露呈されたかだけに依存する。それ故、MTJ素子はその抵抗値が記憶状態を示すメモリ記憶素子またはセルとして機能する。図9に示されるMTJ素子では、図3乃至図4に示された従来技術において可能な反転ステップ応答の可能性は

ない。

【0019】下部電極スタック 10 内の強磁性層 18 の拘束は、図 10 に示されるパターンニング前の MTJ スタックの磁化データから最も明らかとなる。約 +1000 e 以下の磁場に対する磁化 (M) 応答は、完全に上部電極内の強磁性層による。より大きな正磁場では、約 900 e 及び 1600 e の磁場において、接合の下部電極強磁性層 (すなわち、 $\text{Mn}_{50}\text{Fe}_{50}$  層 16 との交換結合により拘束される 8 nm の  $\text{Ni}_{81}\text{Fe}_{19}$  層 18) の反転に関連付けられるヒステリシスを示す。他の拘束磁性層 (すなわち、同様に  $\text{Mn}_{50}\text{Fe}_{50}$  層 16 との交換結合により拘束される 4 nm の  $\text{Ni}_{81}\text{Fe}_{19}$  テンプレート強磁性層 14) の反転に関連付けられるヒステリシスが、約 3000 e 及び 3600 e の磁場において示される。図 10 の磁化データは、図 11 に示されるパターンニング後の  $8 \times 1 \mu\text{m}^2$  の MTJ 素子の高磁場磁気抵抗応答と比較される。上部電極の磁化反転が約 -600 e 及び +800 e 付近の磁気抵抗変化に反映され、接合の下部電極内の強磁性層の磁化反転が約 1300 e 及び 2500 e 付近の磁気抵抗変化に反映される。絶縁トンネル障壁層 20 に隣接しないテンプレート  $\text{Ni-Fe}$  層 14 の反転に関連付けられる接合磁気抵抗効果は存在しない。

【0020】磁化方向反転を生じるために必要な磁場は、上部電極配線層及びベース電極配線層 (図 6 に示される上部層 50 及び下部層 11、13) に同時に電流を流すことにより提供され得る。上部配線層または下部配線層のいずれかを通じて電流を流すだけでは不十分であり、フリー強磁性層 18 の状態を変化させるために要求されるしきい値再編成磁場 (the threshold realignment field) を越えることができない。

【0021】本発明の MTJ 構造には、従来技術に勝る幾つかの利点が存在する。第 1 に、上部強磁性層 18 が平坦である。従来技術 (図 1 参照) では、上部電極強磁性層がステップ状に交差しなければならない。電極層がステップ状に交差する度に、必然的にステップ・エッジに磁極が存在する。これらが好ましくない迷磁場を生成し、これが特に高密度メモリ・アプリケーションにおいて問題となる。MTJ 素子内の反強磁性交換バイアス層は低印加磁場において、電極層の磁化方向の 1 つが固有且つ固定であること、従って低印加磁場において、MTJ メモリ・セルの固有の磁気抵抗応答特性を保証する。1 つの低い保磁性及び 1 つの高い保磁性を用いることにより、低印加磁場においてステップ状の磁気抵抗応答を達成する従来素子にとって、セルが一時的に高磁場に露呈される場合、図 3 乃至図 4 に示されるように応答特性が反転され得る。自己整合型コンタクト・ホールを有する本発明による MTJ 素子 (図 5 及び図 7 参照) は、MTJ メモリ・セルが最小リソグラフィック・ピッチで構成され、配線されることを可能にする。余分な横公差が要求されない。平坦な上部接合電極及び自己整合型コン

タクト・ホールの追加の利点は、その構造及び製作方法の両方が、容易に小さな寸法にスケールされることである。これは平坦化された接合逆電極及び自己整合型コンタクトを有さない MTJ 素子の場合には当てはまらない。なぜなら、小さな寸法では、位置不整合並びに関係の無い磁極の迷磁場の影響により、性能制限が益々厳しくなるからである。

【0022】フリー強磁性層の特性は、最適書込み磁場、並びに磁場変位に対するセルの安定性の点で選択される。 $\text{Ni-Fe}$  合金層は最小のスイッチング場を生じる一方で小さな信号を生じる。 $\text{Co-Fe}$  合金は高いスイッチング場を要求するが、大きな信号並びに磁場変位に対する大きな安定性を有する。 $\text{Co-Fe}$  層はまた、大きな磁気歪を有し、これがパターン化配列において非一様の特性に導き得る。最適なフリー強磁性層は、フリー強磁性層と絶縁トンネル層との界面の薄い  $\text{Co-Fe}$  層から成り、層の大部分が  $\text{Ni-Fe}$  などの低磁気歪の磁性材料である。拘束強磁性層の特性は磁場変位に対する最大の安定性を考慮して選択される。 $\text{Ni-Fe}$  合金は、 $\text{Fe-Mn}$  合金の反強磁性層を用いて、最大の安定性を発揮する。これは  $\text{Co-Fe}$  合金層と比較して、より高い一方方向の交換異方性による。最適拘束強磁性層はゼロ磁気歪の  $\text{Ni-Fe}$  層から成り、薄い界面層が最適信号のために  $\text{Co-Fe}$  層から成る。最適信号は最高の分極の  $\text{Co-Fe}$  合金と共に獲得される。これは  $\text{Fe-Co-Ni}$  合金の 1 原子当たりの磁気モーメント対電子数の関係を表す、スレイターポーリング曲線を調査することにより容易に決定される。 $\text{Fe-Mn}$  反強磁性層は  $\text{Ni-Mn}$  層と、または拘束強磁性層内の強磁性材料とバイアス交換する他の好適な反強磁性金属層と置換され得る。例えば、添加  $\text{NiO}$  または  $\text{CoO}$  などの導電性の反強磁性酸化物層が使用され得る。

【0023】同様に、拘束強磁性層の安定性は、それを薄い金属層により分離される 2 つの磁性層 ( $\text{Co}$  または  $\text{Co-Fe}$  合金など) のサンドイッチから形成し、それにより 2 つの磁性層の反強磁性結合を生じることにより、一層向上する。このタイプの拘束層が、IBM の米国特許第 5465185 号で述べられている。更にこのタイプの拘束層は、ベース電極のネットの磁気モーメントを低減し、従ってメモリ・アレイ内の隣接する磁気素子の静磁気結合を低減する。

【0024】MTJ 磁場センサ：図 12 乃至図 13 は、外部磁場センサとして使用される MTJ 素子構造の実施例の、それぞれ断面図及び上面図を示す。この構造は、上部接合電極スタック 70 がトンネル障壁層 20 に隣接する強磁性層 72 を含み、その磁化容易軸が下部電極スタック 10 内の拘束層 18 の磁化方向に平行ではなく、垂直に配列される以外は図 5 乃至図 6 の構造と類似である。上部配線層 50 は平坦化された絶縁層 40 により、接合から間隔をあけられる。意図する範囲の磁場をセン



スするために、異方性の大きさが適切に設計される必要があり、これは真性異方性、歪に起因する異方性、形状異方性、静磁気結合場、及び補正場の付加的組み合わせとして達成され得る。MTJメモリ・セルに関して上述したように、低印加外部磁場に対して下部電極10内の強磁性層18の磁化方向(矢印19)が拘束され、フリー強磁性層72の磁化方向が矢印73に平行または逆平行になるように、基板9の平面内で自由に回転することができる。

【0025】磁場センス用のMTJ素子は、上部電極70がフリー強磁性層72の容易軸をベース電極10内の拘束強磁性層18の容易軸に垂直にする形状異方性を提供される以外は、メモリ・セル素子に関して上述したように形成される。図14は、MTJ磁場センス素子の低磁場(+/-600e)磁気抵抗特性を示す。この素子内の上部電極70(図13参照)は、2.5μmの幅、及びベース電極10内の拘束強磁性層18の磁化方向19に垂直に、矢印73方向に12.5μmの長さを有し、垂直形状異方性を提供する。印加磁場がベース電極の磁化容易軸の方向に沿って、約-100eから600eにスイープするとき、MTJ抵抗が約2250Ωから約2500Ωに比較的滑らかに単調に増加する。印加磁場が約350eから-400eにスイープするとき、抵抗は2500Ωから再度2250Ωに変化する。このMTJ素子では、フリー強磁性層72の異方性が、主に、矢印73方向に沿う上部電極70の2.5×12.5μm<sup>2</sup>のパターンの形状異方性により決定され、これは矢印19方向に沿う上部電極の真性異方性に垂直である。センサ応答の滑らかさを改善し、センサ応答のヒステリシスを低減するために、真性異方性と後に形状異方性により誘導される異方性の両方を、ベース電極10内の拘束強磁性層18の容易軸19に垂直に矢印73方向に整列させることが達成され得る。上部電極の真性異方性のこうした配列は、所望の方向73に印加される外部磁場内において、上部電極を成長させることにより達成され得る。

【0026】自己整合型の平坦化されたコンタクト層を有する図7及び図12のMTJ構造は、メモリ・セル及び外部磁場センシング・アプリケーションの両方において、好適である。これらの素子を用意するための好適なプロセス・シーケンスについて、図15乃至図22のプロセス・フロー図を参照して述べることにする。最初に、MTJ接合スタックの全ての層が高真空室内で、基板ウエハ全体上に用意される(図15参照)。熱酸化物により覆われた平坦なシリコン基板ウエハが、好適な基板9である。基板を周囲温度においてArガスを用いてマグネトロン・スパッタリングすることにより、膜成長が達成される。スパッタ成長が非常に滑らかな膜を生成するように注意が払われなければならない。これは、同一の成長条件下で成長されるテスト用の多層金属構造内

の巨大磁気抵抗効果を測定することによりテストされ得る。磁性層の成長の間に磁気異方性をこれらの層内に誘導するために、基板平面内に磁場方向を有する絶対値200e乃至1000eの印加磁場が使用される。第1の層12は、例えば20nm台の厚さのPtなどの良導体である。その上には厚さ4nmのパーマロイ(Ni<sub>81</sub>Fe<sub>19</sub>)層14が成長される。この層は緩衝層であり、次に付着される拘束層の適正な配向のためにテンプレートを提供する役割をする。拘束層は、Mn<sub>50</sub>Fe<sub>50</sub>スパッタリング・ターゲットから付着される厚さ10nmのMn-Fe反強磁性層16である。こうした成長は、Mn<sub>50</sub>Fe<sub>50</sub>層16が下層の4nmのNi-Fe層14、及び続いて成長される8nmのCo層18の両者を拘束することを保証する。このPt/Ni-Fe/Mn-Fe/Coスタックは、MTJ素子のベース電極スタック10を構成する。次に、スタック10の最上層上に薄い(厚さ1nm乃至2nm)Al層が付着される。このAl層が次に、酸素圧100mTorr及び電力密度25W/cm<sup>2</sup>にて60秒乃至240秒の間、酸化され、Al<sub>2</sub>O<sub>3</sub>の絶縁トンネル障壁層20が形成される。トンネル障壁層20が次に8nmのNi<sub>81</sub>Fe<sub>19</sub>層、続いて20nmのPtコンタクト層34により覆われる。層32、34は上部電極スタック30を形成する。この時点で、基板ウエハ全体を覆う単一のMTJスタックが存在する(図15参照)。

【0027】次の工程シーケンスは、大きな接合を多数の小さな接合にパターン化し、これらの接合を分離及び接触させるために実行される。パターンは上下の電極形状の長手寸法が磁性膜の容易軸方向に沿うように方向付けられる。所望の上部電極層のパターン内のレジスト・ステンシル80が、最初にウエハ上に付着される。メモリ・セル・アプリケーションでは、形状異方性が上部層の真性異方性を増すように、上部電極の形状が容易磁化アクセス方向に沿って僅かに長くてもよく、例えば長さ対幅の比が2:1に設定される。接合スタックが次にレジスト・ステンシル80により保護されない領域内で、Arイオン・ミリングによりAl<sub>2</sub>O<sub>3</sub>層まで薄くされる。400Vのイオン加速度がポテンシャルが好適であり、ミリング停止は好適には、ミリング校正実行にもとづくタイミングにより達成されるが、スタックからスパッタし戻されるアルミニウムまたは酸素の存在を検出することにより達成されてもよい。エッチングは完全に上部電極スタック30を通じて実行されなければならない。好適には、トンネル障壁層20の内部のどこかで停止すべきである。図16はミリング工程が完了し、レジスト・ステンシル80が剥ぎ取られる以前の構造断面図を示す。図17はレジスト・ステンシル80が剥ぎ取られた後の構造断面図を示す。第2のレジスト・パターン90が次にウエハ上に付着され、レジストにより保護されないトンネル障壁20並びにベース電極スタック10の選

択領域のArイオン・ミリング除去を可能にする。タイミリング式イオン・ミリングが再度、このプロセス工程のために使用される。図18は、ベース電極ミリングの完了後の、レジスト・パターンを残した構造断面図を示す。図19は、レジスト・ステンシル80が剥ぎ取られた後の構造を示す。次に、図20に示されるように、共形の絶縁層60（好適にはSiO<sub>2</sub>のスパッタリングによる）が、パターン化された接合構造全体上に付着される。この層の厚さは約150nm乃至200nmである。ミリング及び付着工程の間に接合温度を約150℃以上に上げないように注意が必要である。次に、上部接合電極層に延びるコンタクト・ホールが開けられる。これは好適には、スパッタリングされたSiO<sub>2</sub>層60の化学的・機械的研磨により達成され、接合逆電極が露呈されるとき停止される。停止時間は校正実行により決定される。研磨工程の完了後の結果の構造が、図21に示される。上部配線層50は、例えば厚さ100nm乃至300nmのPtであり、この構造上にスパッタリングされて、接合上部電極との接触を形成し、配線層を提供する。Ptの付着以前に、好適には薄い1nmのTi層が、良好な接着を推進するために使用される。この層上にレジスト・パターンが形成され、Ptがエッチングまたはミリングされ、所望の上部電極配線パターンが取り残される。図22はPt層50が付着された後の構造の断面図を示す。この構造では、最上部層が断面方向に沿って配線のために使用されるので、最上部層の紙面から外れる方向のパターニングは明らかではない。Pt層の代わりに、Al、W、またはCuが代替配線層として使用され得る。

【0028】上記の製作工程シーケンスは、メモリ・セル素子の製作には最適である。外部磁場センス用のMTJ素子を製作するためには、層の成長の間に上部接合電極層の真性異方性並びに形状異方性の方向を、90°回転する変更だけで済む。Ni<sub>81</sub>Fe<sub>19</sub>の上部接合電極層が、ベース電極強磁性層において使用される磁場方向から、基板平面内で90°回転される外部磁場内で成長されることが好ましい。これはベース電極スタックの成長後、基板ウエハを成長室内で90°回転するか、成長の間に使用される印加磁場の方向を回転することにより達成される。外部磁場センサMTJ素子では、上部電極層の異方性を向上させるために使用される任意の形状異方性が、上部電極の容易軸方向に沿うべきであり、従って、ベース電極の容易軸に垂直になる。

【0029】Al層20の厚さ及び酸化時間が、使用される接合サイズ及び所望のアプリケーションに従い、微調整されなければならない。メモリ・セル・アプリケーションでは、セル抵抗が比較的高いことが好ましく、少なくとも1000Ω以上である。外部磁場センシング・アプリケーションにおける高速性のためには、MTJ抵抗は50Ω乃至100Ωのオーダーであることが好まし

い。

【0030】メモリ及びセンシング・アプリケーションの両方において、トンネル障壁層20に隣接して、所望の範囲の保磁力場を提供する最も高い分極層を使用することが好ましい。Co、Fe-CoまたはNi-Mn-Sbなどの高分極材料の非常に薄い界面層が素子の磁気抵抗を向上させるために、トンネル障壁層20に直接隣接して使用され得るが、これらは強磁性層18及び32の保磁力場を適度に変更しない。

10 【0031】本発明のMTJ素子では、数ミクロンの寸法まで小型化されたMTJ素子において、最大18%の磁気抵抗応答が達成された。また、より単純な手段によりパターン化されたより大きなテスト構造を用いることにより、25%程度の磁気抵抗応答が、より最適化されたMTJ層において達成された。

【0032】まとめとして、本発明の構成に関して以下の事項を開示する。

20 【0033】(1) 基板と、前記基板上に形成される平坦な拘束強磁性層と、前記拘束強磁性層に隣接してそれと接触し、前記拘束強磁性層の磁化方向を好適な方向に拘束し、印加磁場の存在の下で、前記磁化方向の回転を阻止する反強磁性層とを有する第1の電極と、印加磁場の存在の下で、磁化方向を自由に回転することができる平坦なフリー強磁性層を有する第2の電極と、前記拘束強磁性層と前記フリー強磁性層との間に配置され、前記拘束強磁性層及び前記フリー強磁性層に垂直な方向のトンネル電流を許可する絶縁トンネル層であって、前記拘束強磁性層または前記フリー強磁性層が、前記絶縁トンネル層の側部周囲を越えて延びることのない側部周囲を有し、前記拘束強磁性層及び前記フリー強磁性層が前記絶縁トンネル層とオーバーラップすること無く、間隔をあけた別の平面内に保持される、前記絶縁トンネル層と、を含む、磁気トンネル接合素子。

(2) 前記拘束強磁性層及び前記フリー強磁性層の容易軸の磁化方向が、印加磁場の存在の下で互いに平行または逆平行である、前記(1)記載の磁気トンネル接合素子。

40 (3) 前記拘束強磁性層及び前記フリー強磁性層の前記側部周囲が矩形形状であり、前記拘束強磁性層及び前記フリー強磁性層の前記磁化容易軸が前記矩形の長手に沿って配列される、前記(1)記載の磁気トンネル接合素子。

(4) 前記フリー強磁性層の前記容易軸磁化方向が、前記拘束層の磁化方向と垂直である、前記(1)記載の磁気トンネル接合素子。

50 (5) 前記拘束強磁性層が前記基板と前記フリー強磁性層との間に配置され、更に、前記フリー強磁性層の前記側部周囲を取り囲む絶縁層と、前記絶縁層上に形成され、前記絶縁層を通じて前記フリー強磁性層と接触する部分を含む非磁気導体層とを含む、前記(1)記載の磁



気トンネル接合素子。

(6) 前記拘束強磁性層と接触し、界面交換結合により前記フリー強磁性層の磁化方向を拘束する反強磁性層を含む、前記(1)記載の磁気トンネル接合素子。

(7) 前記第1の電極が前記基板上に形成され、前記反強磁性層と接触するテンプレート強磁性層を含み、前記反強磁性層が前記テンプレートと前記拘束強磁性層との間に配置される、前記(6)記載の磁気トンネル接合素子。

(8) 2つの磁気状態を有し、不揮発性磁気メモリ・セル・アレイにおいて使用可能な磁気トンネル接合メモリであって、前記アレイが前記アレイ内の個々のメモリ・セルの前記磁気状態を検出するセンス回路に接続されるものにおいて、磁化方向をその平面内に有する拘束強磁性層と、前記拘束強磁性層と接触する反強磁性層であって、前記拘束層の磁化方向を好適な方向に拘束し、所定磁場強度以下の磁場に露呈されるとき、前記磁化方向の回転を阻止する、前記反強磁性層と、前記拘束強磁性層と接触する絶縁トンネル障壁層と、前記トンネル障壁層と接触するフリー強磁性層であって、前記所定磁場強度以下の磁場に露呈されるとき、前記フリー強磁性層の前記平面内で、前記拘束強磁性層の前記磁化方向に平行な方向と逆平行な方向との間で、自由に回転可能な磁化方向を有する、前記フリー強磁性層と、を含み、前記拘束強磁性層、前記トンネル障壁層及び前記フリー強磁性層が、前記強磁性層の前記平面に垂直な方向の垂直スタックとして形成され、前記強磁性層が前記センス回路に接続されるとき、前記トンネル障壁層を前記強磁性層と垂直な方向に流れる電流の電気抵抗が前記フリー強磁性層の前記平行または逆平行の磁化方向により決定され、前記電気抵抗の値が前記メモリ・セルの磁気状態を決定する、磁気トンネル接合メモリ・セル。

(9) 前記垂直スタックが矩形形状のベースを有し、前記拘束強磁性層の前記磁化方向が前記矩形形状のベースの長手に平行である、前記(8)記載の磁気トンネル接合メモリ・セル。

#### 【図面の簡単な説明】

【図1】従来のMTJ素子の斜視図である。

【図2】従来のMTJ素子の2つのピークを有する磁気抵抗応答を示す図である。

【図3】制限付き振幅の印加磁場に露呈される従来のMTJ素子からの1つの可能なステップ状応答を示す図である。

【図4】制限付き振幅の印加磁場に露呈される従来のMTJ素子からのもう1つの可能なステップ状応答を示す図である。

【図5】絶縁体を貫通する自己整合型コンタクト・ホールを有する、メモリ・セル・アプリケーション用に構成された本発明のMTJ素子の断面図である。

【図6】絶縁体を貫通する自己整合型コンタクト・ホー

ルを有する、メモリ・セル・アプリケーション用に構成された本発明のMTJ素子の上面図である。

【図7】平坦化された自己整合型コンタクト・ホールを有する本発明によるMTJ素子の断面図である。

【図8】電極及び絶縁トンネル障壁の両方が同一の断面積を有する以外は、図5のMTJ素子に類似のMTJメモリ・セルの断面図である。

【図9】図5乃至図6に示されるタイプの代表的なMTJ素子からの磁気応答特性及び磁気抵抗応答特性を示す図である。

【図10】図5乃至図6に示されるタイプの代表的なMTJ素子からの磁気応答特性及び磁気抵抗応答特性を示す図である。

【図11】図5乃至図6に示されるタイプの代表的なMTJ素子からの磁気応答特性及び磁気抵抗応答特性を示す図である。

【図12】磁場センシング・アプリケーション用に構成された本発明のMTJ素子の断面図である。

【図13】磁場センシング・アプリケーション用に構成された本発明のMTJ素子の上面図である。

【図14】MTJ磁場センシング素子の低磁場磁気抵抗応答を示す図である。

【図15】自己整合型コンタクト・ホールを有する平坦化されたMTJ素子の形成のためのプロセス・ステップを示す図である。

【図16】自己整合型コンタクト・ホールを有する平坦化されたMTJ素子の形成のためのプロセス・ステップを示す図である。

【図17】自己整合型コンタクト・ホールを有する平坦化されたMTJ素子の形成のためのプロセス・ステップを示す図である。

【図18】自己整合型コンタクト・ホールを有する平坦化されたMTJ素子の形成のためのプロセス・ステップを示す図である。

【図19】自己整合型コンタクト・ホールを有する平坦化されたMTJ素子の形成のためのプロセス・ステップを示す図である。

【図20】自己整合型コンタクト・ホールを有する平坦化されたMTJ素子の形成のためのプロセス・ステップを示す図である。

【図21】自己整合型コンタクト・ホールを有する平坦化されたMTJ素子の形成のためのプロセス・ステップを示す図である。

【図22】自己整合型コンタクト・ホールを有する平坦化されたMTJ素子の形成のためのプロセス・ステップを示す図である。

#### 【符号の説明】

9、9' 基板

10、10' ベース電極スタック

11、11'、13 電極配線層

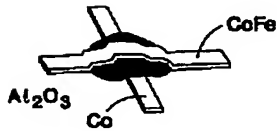
17

- 12 シード層  
14 テンプレート層  
16 反強磁性層  
18、18' 拘束強磁性層  
19 容易軸  
20、20' 絶縁トンネル障壁層  
30、30'、70 上部電極スタック

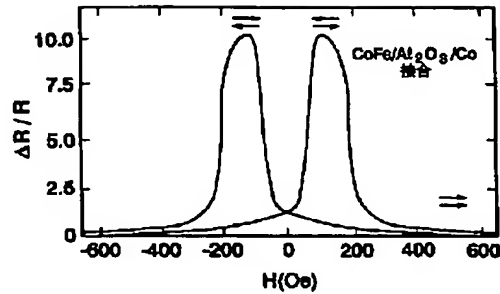
18

- 32、32' フリー強磁性層  
34 保護層  
40、40'、60 絶縁層  
50 接触及び上部配線層  
70 上部接合電極スタック  
72 強磁性層  
80 レジスト・ステンスル

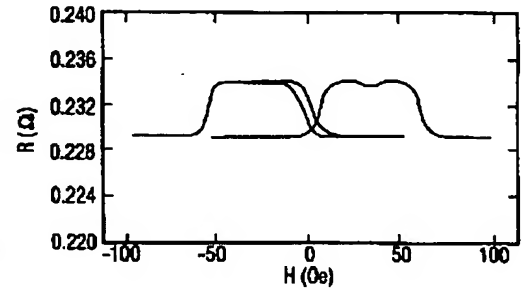
【図 1】



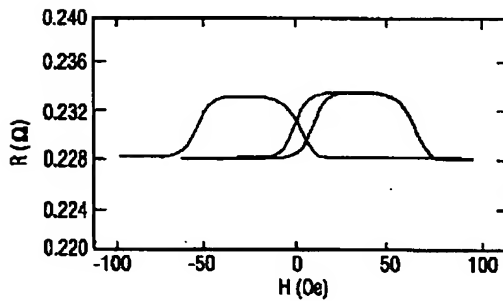
【図 2】



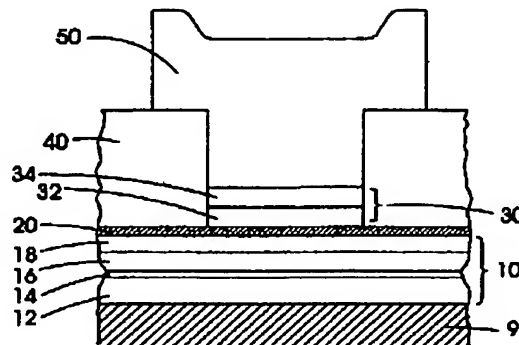
【図 3】



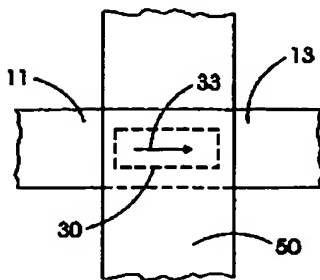
【図 4】



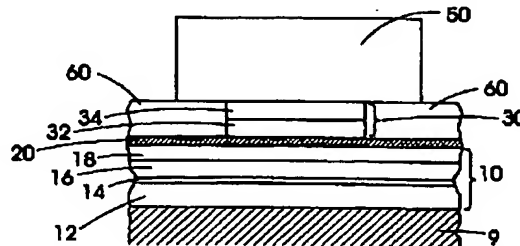
【図 5】



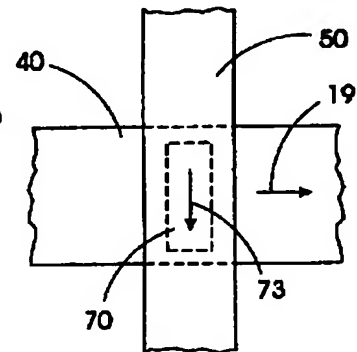
【図 6】



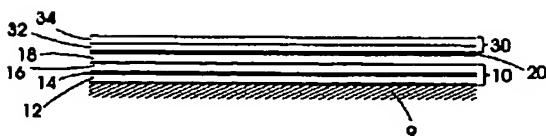
【図 7】



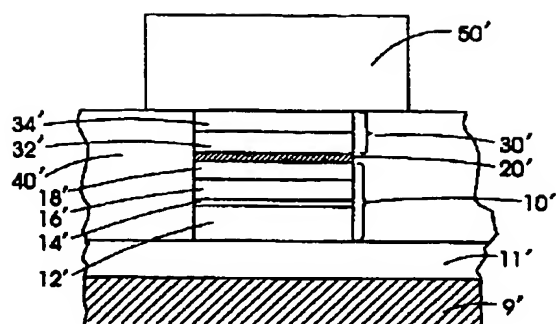
【図 13】



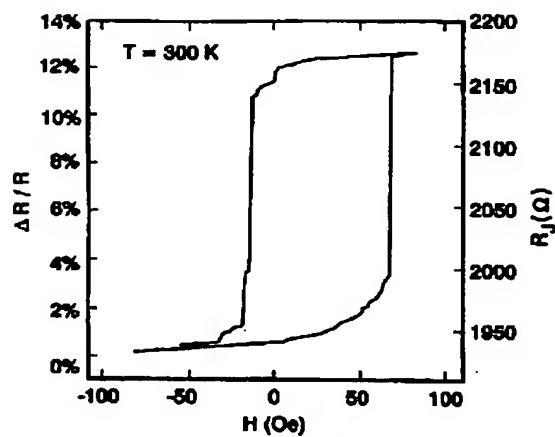
【図 15】



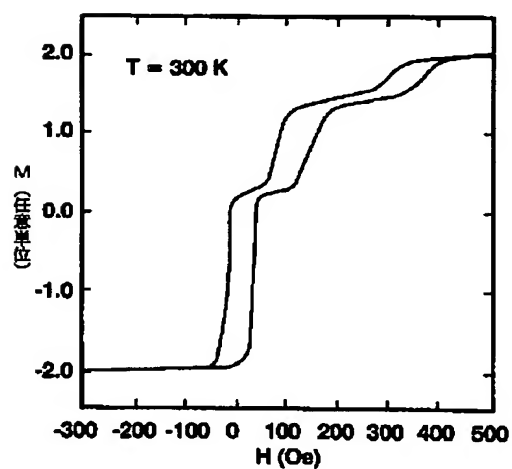
【図 8】



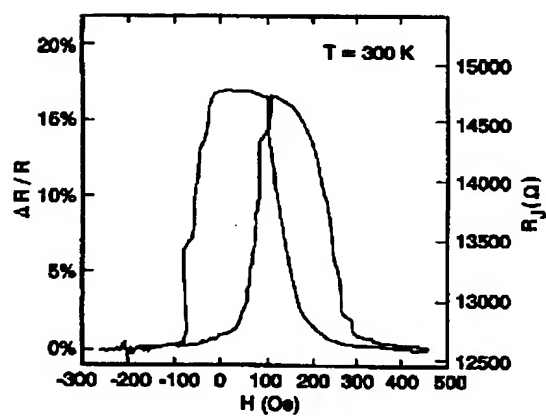
【図 9】



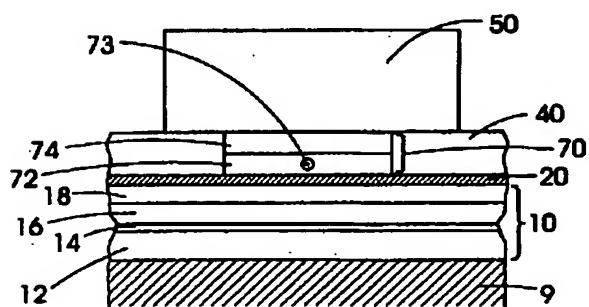
【図 10】



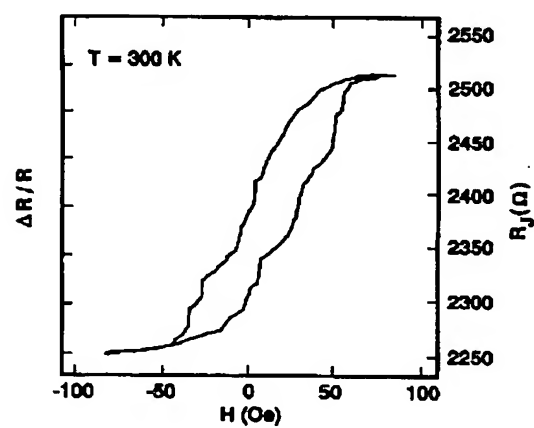
【図 11】



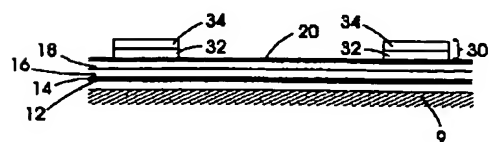
【図 12】



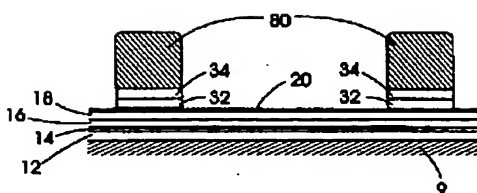
【図 14】



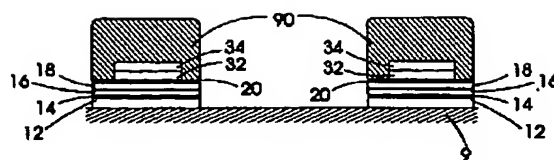
【図 17】



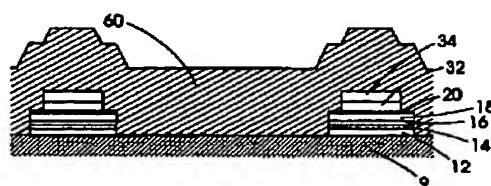
【図 16】



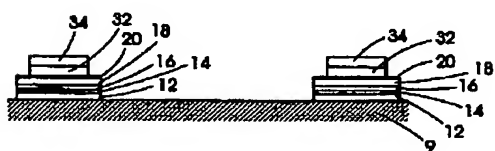
【図 18】



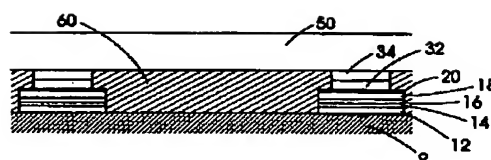
【図 20】



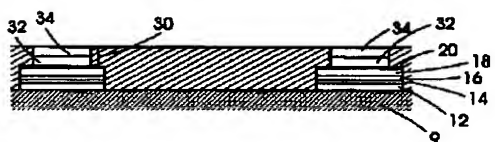
【図 19】



【図 22】



【図 21】



フロントページの続き

(72) 発明者 スチュアート・ステイーヴン・パプワース・パーキン  
アメリカ合衆国95123、カリフォルニア州  
サン・ホセ、ロイヤル・オーク・コート  
6264

(72) 発明者 ジョン・カシミール・スロンクゼウスキー  
アメリカ合衆国10536、ニューヨーク州カ  
トナ、アリソン・ロード 161  
(72) 発明者 ジョナサン・ザンホン・サン  
アメリカ合衆国10547、ニューヨーク州モ  
ーガン・レイク、ケネス・スタート・プレ  
ース 20ビィ